

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-265324

(43)Date of publication of application : 28.09.1999

(51)Int.Cl.

G06F 13/00

G06F 1/26

(21)Application number : 10-068007

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.03.1998

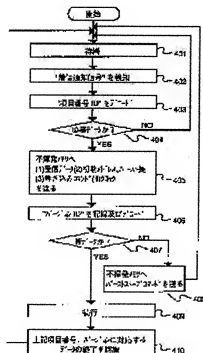
(72)Inventor : TAKEUCHI MIKI
YAMADA KOSHI
NISHIMOTO JUNICHI
SHIMAZAKI YASUHISA
TANIGAWA HIROYUKI
KOBAYASHI NOBUYOSHI

(54) PERSONAL INFORMATION TERMINAL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a personal information terminal having low power consumption, high speed, high reliability and high operability.

SOLUTION: Communication data to be stored in the personal information terminal belong to any one of plural previously determined items in accordance with its contents and allowed to flow like radio broadcasting. At the time of detecting the incoming of data, power is supplied to an amplifier and a control circuit (step 402). When the item ID and version ID of received radio communication data exist, the version ID is stored and the data are destructed when the item ID of newly received communication data does not coincide with item ID received and specified by a user (step 404 : N) and the version ID of the data coincides with version ID specified by the user (step 407 : N). The communication data are entered in a non-volatile memory (ferroelectric memory) or destructed based on user specification.



LEGAL STATUS

[Date of request for examination] 28.02.2003

[Date of sending the examiner's decision of rejection] 10.02.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

特開平11-265324

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl. ⁴	識別記号	F I
G 0 6 F 13/00	3 5 1	G 0 6 F 13/00
1/26		1/00
		3 5 1 E
		3 3 4 E

審査請求 未請求 請求項の数11 O L (全 21 頁)

(21) 出願番号	特願平10-68007	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成10年(1998) 3月18日	(72) 発明者	竹内 幹 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
		(72) 発明者	山田 孔司 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
		(72) 発明者	西本 順一 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
		(74) 代理人	弁理士 磯村 雅俊 (外1名)

最終頁に続く

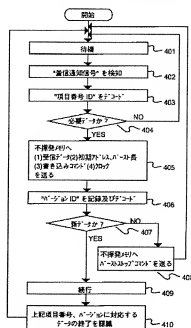
(54) 【発明の名称】 個人情報端末

(57) 【要約】

【課題】 低消費電力、高速、高信頼、使い勝手のよい個人情報端末の提供。

【解決手段】 個人情報端末が格納すべき通信データは、その内容に応じて複数の予め決められた項目のいずれかに属しラジオ放送のように流れる。着信を検出したらアンプ、制御回路に電源を供給する(ステップ402)。受信済みの無線通信データの項目IDとバージョンIDがある場合はそのバージョンIDを保持しておく、新たに受信した通信データの項目IDがユーザが受信指定している項目IDと一致していない場合(ステップ404: N)とバージョンIDが一致している場合(ステップ407: N)に該データを破棄する。項目IDが一致しバージョンIDが不一致の場合(ステップ404: Y, ステップ407: Y)には、ユーザの指定に基づいて、該通信データを不揮発メモリ(強誘電体メモリ)に取り込んだり破棄したりする。

図1(a)または図2のゲートの動作フロー



【特許請求の範囲】

【請求項1】 受信した通信データを格納する不揮発メモリと、該不揮発メモリへのデータの書き込みを制御する制御回路と、該不揮発メモリからデータを読み出すCPUを含む個人情報端末であって、

上記制御回路は、

通信データが所定のレベル以上になったことを検知する着信検知手段と、

予めユーザによって指定された受信すべき項目を識別するための項目IDを設定する項目ID設定手段と、

上記不揮発メモリに格納されている項目のバージョンIDを格納するバージョンID格納手段と、

上記着信検知手段で所定のレベル以上の通信データが検知され、その通信データの項目IDが上記項目ID設定手段に設定されている項目IDと一致している場合に、待機時に電源が供給されていない上記バージョン検知手段を含む待機時に電源が供給されていない待ち受け回路に電源を供給し動作可能状態にする手段と、

両者の項目IDが一致し、さらに上記バージョン検知手段でバージョンIDの一致が検知された場合には受信した通信データを破棄し、上記バージョン検知手段でバージョンIDの一致が検知されない場合に、外部からの指定に基づき、受信した通信データを破棄するかあるいは上記不揮発メモリに格納する書き込み制御手段を有することを特徴とする個人情報端末。

【請求項2】 上記不揮発メモリを構成するメモリアレイは、上記項目ごとに同一ビット容量の複数のメモリブロックに分割されており、そのビット容量は、該不揮発メモリに設けられたアドレスカウンタの最大数に等しいことを特徴とする請求項1記載の個人情報端末。

【請求項3】 上記不揮発メモリを構成するメモリアレイは、複数のサブメモリブロックに分割されており、上記項目ごとのデータの格納領域は、該サブメモリブロックまたは複数個を単位として構成され、該サブメモリブロックのビット容量は、該不揮発メモリに設けられたアドレスカウンタの最大数に等しいことを特徴とする請求項1記載の個人情報端末。

【請求項4】 上記不揮発メモリを構成するメモリアレイは、項目ID設定手段への設定後、一度だけの書き込みしか許容されない通信データ領域と、上書きが許容される通信データ格納領域とを有することを特徴とする請求項1～3の何れかに記載の個人情報端末。

【請求項5】 上記不揮発メモリを構成するメモリアレイは、上記通信データを格納する領域と、上記個人情報端末で使われるOSあるいはアプリケーションプログラムを格納する領域とを有することを特徴とする請求項1～4の何れかに記載の個人情報端末。

【請求項6】 通信データの上記不揮発メモリへの書き込みは、書き込みをコントロールするコマンドを上記制御回路が受信データ自身をもとに生成して行うことを特

徴とする請求項1～5の何れかに記載の個人情報端末。

【請求項7】 上記通信データは、一定範囲内の領域に存在する人々に共通して有用な情報に関するものであることを特徴とする請求項1～6の何れかに記載の個人情報端末。

【請求項8】 上記通信データは、着信通知信号、項目番号ID、バージョンID、内容の部分を含むことを特徴とする請求項1～7の何れかに記載の個人情報端末。

【請求項9】 上記項目を階層構造にするとともに、上記不揮発メモリとしてランダムアクセスが可能であるランダムI/Oのメモリを用いたことを特徴とする請求項1～8の何れかに記載の個人情報端末。

【請求項10】 上記ランダムI/Oのメモリは、強誘電体キャパシタと電界効果トランジスタとからなる強誘電体メモリで構成されることを特徴とする請求項9記載の個人情報端末。

【請求項11】 上記強誘電体メモリは、項目を書換単位とし、該書換単位ごとに強誘電体メモリセルのプレート電極を共通接続して、書換を行なう書換ブロックのプレート電極を活性化し、書換を行わない非書換ブロックのプレートを非活性化することを特徴とする請求項10記載の個人情報端末。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、無線などによる通信機能を有する個人情報端末に係り、特に、低消費電力、高速、高信頼性で使い勝手のよい携帯用の個人情報端末に関する。

【0002】

【従来の技術】従来のコンピュータシステムにおいては、大量のデータを通常ハードディスク上に保持しており、処理を必要とするデータおよびそれに関連するデータを高速アクセスが可能な半導体メモリ上に適宜ロードするようにしている。一方、コンピュータシステム相互間で通信により情報をやりとりする方法が、近年注目を浴びつつある。この場合、コンピュータシステムはハードディスクを持つ必要がなく、通信回線を通してネットワーク上に設けられているデータバンクから各コンピュータシステムの半導体メモリ上に必要データをロードすればよい。

【0003】

【発明が解決しようとする課題】しかしながら、通信可能なコンピュータシステムのこのような従来の使い方は、無線による通信を行う携帯端末に適さない次のような問題点を有している。

(1) ユーザはデータを要求するための送信手段を持つ必要がある。無線通信システムにおいては、受信より送信に大きな電力を要するで、携帯端末の消費電力を増大させる。

(2) 無線通信により高信頼にデータをやりとりするに

は、データに冗長性を持たせる必要があり、通信時間でデータの読み出し時間が律速される。また、共有するデータバンクが多くのユーザからの同時アクセスにより混雑している場合、データの読み出し時間がさらに遅くなる。本発明は、上記問題点を解消し、低消費電力、高速、高信頼性で使い勝手のよい携帯用の個人情報端末を提供することを目的としている。

【0004】

【課題を解決するための手段】本発明の個人情報端末に格納する通信データは、ちょうどラジオ放送のようにユーザの意図と無関係に電波として流れている。通信データは、その内容により1からmまでの項目番号が付与された予め決められている項目（例えば、レストラン情報、イベント情報、・・・買い物情報、道路情報など）のいずれかに属する。本発明の個人情報端末のユーザは、必要とする項目番号を予め指定しておく。本発明の個人情報端末は、該項目番号に該当する通信データを受信した場合、データ内容を自動的に個人情報端末内の不揮発メモリ領域に連続アドレスで書き込む（図1a）。一方ユーザは、自分の都合のよい時間に個人情報端末内の不揮発メモリ領域に格納された上記データを読み出す。読みだしは、CPUによる演算あるいは検索処理により、ランダムアドレスに対して行われる。書き込みデータのビットあたりの転送時間Twは、読みだしデータのビットあたりの転送時間Trよりも大きい。上記手段は、携帯電話における留守番電話機能に一部共通点を持つが、データが項目に分類されている点、読みだしをランダムアクセスで行う点、および $T_w > T_r$ を規定している点などにおいて異なる。

【0005】具体的な構成としては、受信した通信データを格納する不揮発メモリ（102、104）と、該不揮発メモリ（102、104）へのデータの書き込みを制御する制御回路（ゲート101）と、該不揮発メモリ（102、104）からデータを読み出すCPU（103）を含む個人情報端末であって、上記制御回路（ゲート101）は、通信データが所定のレベル以上になったことを検知する着信検知手段（図15のCT2）と、予めユーザによって指定された受信すべき項目を識別するための項目IDを設定する項目ID設定手段（図18参照）と、上記不揮発メモリに格納されている項目のバージョンIDを格納するバージョンID格納手段と（バージョン検知手段CT00内）、上記着信検知手段で所定のレベル以上の通信データが検知され、その通信データの項目IDが上記項目ID設定手段に設定されている項目IDと一致している場合に、待機時に電源が供給されていない上記バージョン検知手段を含む待機時に電源が供給されていない待ち受け回路に電源を供給し動作可能状態にする手段（アンパON信号CT2-S0など）と、両者の項目IDが一致し、さらに上記バージョン検知手段でバージョンIDの一致が検知された場合には受

信した通信データを破棄し、上記バージョン検知手段でバージョンIDの一致が検知されない場合に、外部からの指定に基づき、受信した通信データを破棄するあるいは上記不揮発メモリに格納する書き込み制御手段（受信データ書き込み制御回路CT0：図19参照）を有する。

【0006】データ内容としては、ある地域内にいる人々に共通して有用な情報とする（図1b）。例えば、周辺レストランの場所、メニュー、価格、混雑状況などである。あるいは、近辺駅の時刻表、座席予約状況などである。さらに、本発明の別の個人情報端末においては、上記不揮発メモリは強誘電体キャパシタと電界効果トランジスタとでメモリセルが構成された強誘電体メモリである（図2および図3）。

【0007】本発明の個人情報端末における通信データは、着信通知信号、項目番号ID、バージョンID、内容の部分から少なくとも構成される（図4、8）。上記着信検知信号が一定の信号レベルを越えた場合に、通信データの項目番号の判定を開始する。そして、上記ユーザ指定の項目番号が上記通信データの項目番号と一致したときに本発明の個人情報端末のデータ格納動作（通信データの不揮発メモリへの書き込み動作）が開始される。該格納動作の停止は、上記通信データのバージョンが一致して格納されている同じ項目番号のバージョンに一致するか、あるいは1セットの上記通信データの格納を終了したときに行なわれる。なお、バージョンとは、同じ項目に属しているも内容が一部あるいは全部異なるデータを区別するための指標であり、例えば11:00のレストラン混雑状況と12:00のレストラン混雑状況は異なるバージョンのデータに属する。

【0008】本発明の個人情報端末のデータ格納領域は、項目ごとに定められる。そのメモリ容量は、項目によらず同じに設定される。あるいは、決まった容量のサブブロック複数個で構成され、そのサブブロック数は項目ごとに定められる（図5a）。

【0009】本発明の個人情報端末のデータ格納領域は、上書き禁止領域と上書き許可領域とに分かれる（図5b）。上書き禁止領域への格納がユーザにより指定された項目は、ユーザの該指定の後、一度データが書き込まれたらバージョンの異なるデータを次に受信しても格納を行わない。これに対して、上書き許可領域への格納がユーザにより指定された項目は、常に最新のバージョンのデータが上書きされる。本発明の別の個人情報端末の不揮発メモリには、上記通信データ格納領域とOS・アプリケーションプログラム格納領域とが少なくとも設定される（図5b）。

【0010】本発明の個人情報端末には、上記通信データの不揮発メモリに連続アドレスに格納するためのアドレスカウンタが設けられる。該アドレスカウンタの最大値は、項目によらず同じに設定された上記格納領域の容

量に一致する。あるいは、該最大値は格納領域を構成する上記サブブロックの容量に一致する(図7)。本発明の個人情報端末における通信データを構成する着信通知信号、項目番号1D、バージョン1D、データ内容のうち、項目番号1Dおよびバージョン1Dは固定長である(図8a)。また、データ内容は、固定長のデータ、1からnに分割され、データ内容の先頭部にはデータ1～nの内容要約に関する情報が含まれる。本発明の個人情報端末における項目は、階層構造を持っている(図8b)。不揮発メモリにおけるデータ格納は、最下層の項目を単位として行なわれる(図9)。

【0011】本発明の個人情報端末の1形態においては、通信データの書き込みを、CPUを介さずに受信データ自身から書き込みコントロールコマンドを生成して行う(図13a、図14)。そして、待機時には上記制御回路内の信号着信を検知するための回路と、不揮発メモリのコマンド受け付け回路以外の電源は、CPUも含めてすべてオフとする。信号着信が検知されて初めて、アンプなどの消費電力の大きい部分が活性化され、データの詳細な認識や書き込みなどの動作が開始される(図15および図16)。本発明の別の個人情報端末における不揮発メモリは、強誘電体キャパシタと電界効果トランジスタとでメモリセルが構成される強誘電体メモリであり、該強誘電体キャパシタのプレートは、少なくとも同一のサブブロックに属するメモリセル間で共通化される(図20)。

【0012】

【発明の実施の形態】図1(a)は、本発明の個人情報端末に用いられるメモリシステムの基本構成を示す実施例である。本メモリシステムは通信データを格納し、検索、演算するためのものである。メモリシステムは、少なくともゲート(受信データ制御回路)101、不揮発メモリ102、CPU103からなる。ゲート101は受信データを不揮発メモリ102への書き込みデータに変換するとともに、データ受信をトリガとして不揮発メモリの書き込みコントロールコマンドを生成する。受信データは、その内容により、予め決められた1～mの項目番号のいずれかに属する。ユーザは予め必要とするデータ(受信したいデータ)の項目番号を指定しておく。

【0013】本メモリシステムに接続された受信システムによりその項目番号のデータが受信された場合、本メモリシステムは書き込みコントロールコマンドを自動的に発生し、ユーザが指示する事なく受信データの不揮発メモリ102への書き込みが開始される。受信データは連続したアドレスに順次格納される。このようにして不揮発メモリ102に格納したデータを、ユーザはCPUを介して所望の時間に読み出すことができる。この読み出し方法は、通常のコンピュータシステムにおけるメモリーへのアクセス手段と同様である。ユーザはCPUによる演算、検索処理により、ランダムアドレスに対して格

納データの読みだしを行う。単位ビットあたりのデータ書き込みに必要な時間Twは、データ読みだしに必要な時間Trより長い。不揮発メモリ102としては、フラッシュメモリ、強誘電体メモリなどが適用できる。あるいは、電池バックアップした揮発メモリ(DRAMなど)も適用できる。

【0014】上記メモリシステムを有する本発明の個人情報端末によれば、以下の効果が得られる。

(1) ユーザはデータを要求するための送信手段を持つ必要がない。無線通信システムにおいては、受信よりも送信に大きな電力を要するので、これにより携帯機器に適した低消費電力のシステムが得られる。

(2) 数時間内に、ある項目番号のデータを必要とするというユーザの予測さえあれば、その間に自動的に通信データを受信して格納しておくことにより、ユーザはそのデータの処理を実効的にCPUと同程度の高速で行える。すなわち、所望のデータを読みだそうとする時点で始めて通信によるデータの取り込みを行うと、通信時間でデータの読みだし時間が律速される。また、複数のユーザで共有するデータバンクが混雑していた場合、データの読みだし時間はさらに遅くなる。本発明のメモリシステムでは、ユーザがデータ処理を開始するとき、必要データは既に不揮発メモリ102に格納されているので、ユーザは迅速にデータ読みだしを行うことができる。

【0015】(3) データ読みだし、書き込み以外の時には、少なくとも不揮発メモリはコントロールコマンドを受け付けるところ以外、電源をオフ状態にできる。この場合の不揮発メモリの消費電力は数マイクロアンペアに過ぎない。CPU103は、データ読みだし時以外は電源オフにできる。さらに、ゲート(受信データ制御回路)101を受信データ自身で起動するようにすれば、ゲート(受信データ制御回路)101の消費電力はデータ書き込み時以外ほとんど0にできる。すなわち、本構成のメモリシステムを用いると消費電力を極めて小さくでき、携帯機器に適したシステムが得られる。

【0016】(4) データ読みだしは、ランダムアドレスに対して行うことができるので、データを階層構造にして必要データ部分を効率的に取り出したり、あるいは演算処理してユーザ所望の必要データに変換することができる。すなわち、使い勝手のよいシステムが得られる。(5) TwがTrより長いので、通信データに冗長性を持たせ、より確実にデータを送信することが可能となる。かつ、通信データに冗長性を持たせることでユーザにとってのデータ読みだし速度が低下することはない。すなわち、高い信頼性とユーザにとっての高速性を合わせ持つシステムが得られる。

【0017】図1(b)は、本発明の個人情報端末に用いられるメモリシステムの応用例を示すものである。本メモリシステムは携帯可能なパーソナル携帯端末(個人

情報端末) 201に組み込まれている。パーソナル携帯端末201にデータを送信する地方基地局202はその基地局の周辺、例えば徒歩活動範囲内の様々な情報を集める。項目の例としては、買い物情報(捜し物のある場所やバーゲン開催場所など)、イベント情報(映画などの開催場所、開催時間、内容など)、レストラン情報(混雑状況、メニュー、価格など)、電車、バス情報(時刻表、座席予約状況など)、道路交通情報(混雑状況など)などがある。このような項目のうち、必要とする項目を予め指定しておけば、ユーザは本発明の個人情報端末に所望の項目に関する最新情報を持つことができる。パーソナル携帯端末201を持つユーザは、その地域での活動を(たとえ未知の領域であっても)効率的に行うことが可能となる。

【0018】不揮発メモリとしては、必要な項目を高速に得ることができるランダムI/Oが適しており、さらにランダムI/Oとして、強誘電体メモリが適している。図2は、図1(a)の不揮発メモリとして強誘電体メモリを適用した本発明の一実施例である。強誘電体メモリのメモリセルは強誘電体キャパシタと電界効果トランジスタとで構成される。このような強誘電体メモリの例は、例えば電子情報通信学会英文誌Cの1996年2月号234頁〜242頁(IEICE Transactions on Electronics, vol.E79-C, no.2, pp.234-242, 1996)あるいはその参考文献に記載されている。

【0019】図3は、本発明の個人情報端末に用いられるメモリシステムの不揮発メモリとして、強誘電体メモリがフラッシュメモリに比べて適している理由を説明するための図である。同図(a)に示すように、フラッシュメモリでは、いったんデータ消去しないと書き込み動作に移ることができない。これに対して、同図(b)に示すように、強誘電体メモリでは直ちに書き込み動作を開始できる。通信データのデータレートが100kbp/s程度の場合、10マイクロ秒に1ビットの情報が到着する。フラッシュメモリのデータ消去に要する時間は、ミリのオーダーである。したがって、フラッシュメモリを用いた場合は、データ到着から100ビット程度の情報が無駄になってしまう。

【0020】また、フラッシュメモリのデータ消去時間は製品ごとに統一されていないので、データの書き込み開始のタイミングの制御も難しくなる。すなわち、強誘電体メモリを不揮発メモリとして用いれば、データ着信からデータ格納までの動作が容易に行える効果がある。また、電池バックアップしたDRAMに比べ、強誘電体メモリでは電源をオフでキープレッシュ動作を必要としないので、待機時の消費電流を大幅に低減できる。さらに、書き込み回数の寿命は、フラッシュメモリが10の5乗程度であるのに対して、強誘電体メモリは10の8乗以上であり、本発明の如き通信データを自動的に受信してメモリに上書きする形態の情報端末にとって強誘電体

メモリの方が有利である。

【0021】図4は、図1(a)または図2のゲート101の動作フローを示す図である。ある項目に属する一連のデータの先頭にある、着信を通知する情報を、一定の信号レベルを超えて受信した場合(ステップ402)、ゲートは動作を開始し、着信通知信号に引き続く項目番号IDをデコードする(ステップ403)。デコードの結果、該受信データがユーザの指定した項目番号のいずれにも属しなかった場合(ステップ404:N)、ゲートはステップ401の待機状態に戻る。一方、該受信データがユーザの指定した項目番号のひとつに属することが明らかとなった場合(ステップ404:Y)、ゲートは不揮発メモリへ書き込み開始の指示を送る(ステップ405)。すなわち、受信データ、項目ごとに予め指定されている格納領域に対応する初期アドレスおよびバースト長、書き込みコマンド、および動作の同期をとるクロックを送る。

【0022】次に、項目番号IDに引き続くバージョンIDを本発明のシステム内の項目別の記憶領域に格納し(ステップ406)、すでに別の記憶領域に格納されている現在の不揮発メモリのデータのバージョンIDと比較する(ステップ407)。なお、バージョンとは同じ項目番号に属するデータの新しいを示すものである。図1(b)の応用例では、例えば11:00現在のレストラン状況であるか、12:00現在のレストラン状況であるかなどが、バージョンとなる。既に格納されているデータのバージョンIDと一致した場合には(ステップ407:N)、ゲートは不揮発メモリへバーストストップコマンドを送る(ステップ408)。不一致の場合には(ステップ407:Y)、ゲートは何ら指示せず、不揮発メモリの書き込み動作が続けられる。すなわち、新しいデータが古いデータの上に完全に上書きされる。上記一連のデータの不揮発メモリへの書き込み動作終了を認識したら、ゲートは再び待機状態へ戻る(ステップ410)。書き込みが終了したら、再び待機状態に戻る。

【0023】図4に示す実施例によれば、着信通知信号が一定の信号レベルに達した場合にゲートの動作が開始されるので、受信電波の受信レベルがよくないにもかかわらず不揮発メモリへの書き込み動作が開始され、格納データに多くの誤りが生じて、その後のCPUによる演算、検索処理に支障が出るのを防止できる。特に、電波到達範囲の境界に本発明のメモリシステムの所持者が達した時点で不揮発メモリへの書き込み動作は開始されず、電波到達範囲の十分内側で上記所持者が達した時点で書き込み動作が開始されるので、携帯に適した高信頼のシステムが得られる。また、ゲートから不揮発メモリへの書き込み動作開始の指示は、項目番号が一致した段階でなされ、その後バージョンが一致した場合に書き込み動作を停止するようにしている。項目番号が一致しかつバージョンが一致しなかった場合に書き込み動作開始の指示を

する場合に比べて、常に一致信号発生をトリガにして動作の制御が出来るので、回路構成が簡単になる効果がある。

【0024】さらに、データを項目に分類することにより、ユーザが送信手段を持たなくても、あるいは極めて大容量のメモリを用意しても所望のデータを得ることが出来、送受信に要する時間も実効的にユーザが感じないようにできるので、携帯機器に好適で、低消費電力、実効的に高速データ処理の可能なシステムが得られる。さらに、バージョンをデータに持たせることにより、同じデータを受信しても書き込み動作を行わないので、消費電力を低減できるとともに、書き込み回数の制限を有する不揮発メモリの寿命を向上できる。一方、新しいバージョンのデータを古いデータに上書きすることにより、格納データ量の増大を小さくできる。すなわち、不揮発メモリの必要量も小さく抑えられ、低価格かつコンパクトなシステムが得られる。

【0025】図5(a)は、不揮発メモリ内の通信データ格納領域の構成を示す、本発明の実施例である。格納領域は、固定サイズのサブブロックsub-BK
(i) (i=1, 2, ...)を単位として構成される。ひとつの項目の格納領域は、複数のサブブロックから成り、先頭のサブブロックはヘッダとして該格納領域の項目番号およびサブブロック数、格納されているデータのバージョン、および目次となるデータ内容の要約などの情報を格納する。新しいバージョンのデータは古いバージョンのデータに上書きされる。

【0026】本発明の実施例によれば、格納領域の大きさを、各項目に最適な大きさに設定できると同時に、サブブロックを単位とすることにより、格納領域の記憶が容易になり、また読み出し、書き込み時の制御が簡単になる効果がある。別の格納領域の構成方法としては、図示していないが、すべての項目に対し、一定サイズのブロックが割り当てられる。本発明の実施例では、格納領域の大きさはすべての項目に対して一定となるが、格納領域の記憶や読み出し、書き込み時の制御が、図5(a)の場合よりさらに容易となる利点がある。

【0027】図5(b)は、不揮発メモリ内の記憶領域の構成を示す図である。該記憶領域には、通信データ格納領域(1)とOS・アプリケーションプログラム格納領域(2)とが少なくとも設定される。本実施例によれば、個人情報端末のメモリチップ数を削減できるので、携帯機器に好適なコンパクトなシステムが得られる。通信データ格納領域(1)は、上書き許可領域(1a)と上書き禁止領域(1b)とに分かれる。上書き禁止領域(1b)への格納がユーザにより指定された項目は、ユーザの該指定の後、一度データが書き込まれたらバージョンの異なるデータを次に受信しても上書きを行わない。これに対して、上書き許可領域(1a)への格納がユーザにより指定された項目は、常に最新のバージョン

のデータが上書きされる。本発明の実施例によれば、残しておきたいデータが上書きされてしまうのを防止できる。例えば、本発明の個人情報端末のユーザが出張先の交通機関の時刻表を格納した場合、そのまま放置すると出張から戻った後、同じ項目に属する地元の時刻表が上書きされる。出張先での時刻表を保存したい場合には、出張先での時刻表の格納先を上書き禁止領域に設定するか、あるいは格納後にCPUを介してデータを上書き禁止領域に移動すればよい。本実施例によれば、使い勝手のよい個人情報端末が得られる。

【0028】図6は、本発明の個人情報端末に用いられるメモリシステムの構成、特にデータ格納を指示する情報の記憶部の構成を示す図である。上記格納指示情報の記憶部には、ユーザ選択の項目番号およびそのデータの格納アドレス、すなわち図5の構成例では初期サブブロックおよびサブブロック数が記録される。上記格納指示情報の記憶部は、ゲート内に設けてもよい(図6(a))、不揮発メモリ内に設けてもよい(図6(b))。

【0029】図7は、不揮発メモリに対するアドレスを生成するための回路構成を示す図である。通常時のメモリへのアクセスは、外部入力によりアドレスパルスを経て行なわれる。通信データを格納する場合には、アドレス生成回路がアドレスを生成する。アドレス生成回路(701)は、データの項目番号と格納指示情報の記憶部(702)からのデータとをもとに、上位アドレスすなわちサブブロック選択信号を生成する。また、アドレスカウンタ(703)のカウンタアップパルスが発生して、下位アドレスすなわちサブブロック内アドレスを生成する。ここで、アドレスカウンタの最大値(カウンタビット数)がサブブロックの容量(サブブロックビット数)に一致している。

【0030】本発明のアドレスカウンタの構成法によれば、データが異なる項目の格納領域にまで誤ってはいみだして格納されることがなくなり、高信頼のシステムが得られる。なお、格納領域の大きさがすべての項目に同じ構成の場合は、アドレスカウンタの最大値を該格納領域の大きさに一致させ、アドレスカウンタの値を該格納領域内アドレスに対応させる構成とすることにより、同様に高信頼のシステムが得られる。

【0031】図8(a)は、本発明の個人情報端末に用いられるメモリシステムにおいて送受信されるデータのフォーマット例である。まず、ドノックに相当する着信通知信号(801)が送られる。これは、例えば特定周波数の連続信号などである。次に項目番号ID(802)が送られる。さらにバージョンID(803)および図5で説明したそのデータのヘッダ情報が送られる。その後に、データ内容(806, 807)が送られる。データは同じ大きさのデータ1〜nに分割され、おのおの大きさは図5の構成の場合、サブブロックサイズに

等しい。バージョンID(803)とヘッダ情報(804, 805)とを合わせたデータ(これは図5のヘッダ格納領域に格納される)の量もサブブロックサイズに等しい。項目番号ID(802)およびバージョンID(803)は固定長である。本発明の実施例によれば、通信データがサブブロック単位に整理され、例えばユーザがヘッダ情報をまず見てからデータiにジャンプするなどのCPUによる検索操作が容易となる効果がある。

【0032】図8(b)は、通信データの項目の構造を示す図である。項目は階層構造となっている。最下位の項目がデータセットの単位となり、そのデータフォーマットは決められている。例えば図8(a)のデータセット全体がイタリアレストランの情報を持っており、データiが一つの店の情報に対応する。本発明の項目構成法によれば、膨大な情報を整理して扱うことが容易となる。また、ひとつのデータiを異なる人が記述できるので、データベースの作成が容易となる利点がある。

【0033】図9は、通信データの項目構成に対する、不揮発メモリへのデータ格納指示の設定方法を示す図である。同図(1)に示す格納指示情報を自動設定する方法においては、ユーザが格納したい任意の上位の項目を指定すればよい(a)。CPUはそこから最下位の項目を生成した後(b)、各最下位の項目ごとに設定されたサブブロック数を取り出されたテーブルから作成する(c)。CPUは、これを基に格納領域を割り振り(d)、格納指示情報の記憶部に記録する(e)。本発明の実施例によれば、使い勝手のよいシステムが得られる。その他、図9(2)に示したように、格納指示情報を細かくユーザが設定してもよい。

【0034】図10は、格納データの検索方法を示す図である。(1)の直接検索においては、最上位の項目(レストラン情報、イベント情報、...)から順次選択を繰り返しながら最下位の項目まで進んでいく。同図は、まず最上位項目番号から1)「レストラン情報」を選択し、順次下位項目、2)「洋食」、1)「フランス」を選択し、格納指示情報の記憶部(図6参照)から選択項目番号1-3-1)の初期サブブロックを照会し、ヘッダの情報を表示し、データi-nを選択・表示(店を順次紹介)する。その他、(2)のキーワードによる検索や、(3)の演算処理を含む検索も可能である。(3)の演算処理による検索では、例えば項目番号1)、すなわちレストラン情報において価格1000円以下かつ30分以内に食事開始可能という条件が与えられる。特に30分以内に食事開始可能という条件は、店までの到達時間と店の混雑状況から計算され、店までの到達時間は現在位置の認識情報を加えて自動計算される。

【0035】図11は、本発明の個人情報端末に用いられるメモリシステムの一構成例である。(a)に示すように、図1の制御回路101としてPHS(パーソナル

ハンディフォンシステム)端末を利用する。これに図1の不揮発メモリ102に対応するメモ리카ードを接続(挿入)する。この場合、図1(b)の地方基地局としてPHS基地局を利用できる。不揮発メモ리카ードに格納された受信データを読み出す場合、図1のCPUとしては、PHS基地局のそれを利用してよいが、図1(b)に示すように、別の携帯ディスプレイ端末のCPUを用いてもよい。不揮発メモ리카ードを上記携帯ディスプレイ端末に接続(挿入)して受信データを読み出す。本発明の実施例によれば、本発明のメモリシステムを既存のシステムの中で使用できるで、新たな投資を省かせて本発明のメモリシステムを活用できる。

【0036】図12は、本発明に係る携帯用の個人情報端末の一構成例である。同図(a)においては、メモリシステム(120)とデータを受信するRF部(121)と表示システム(122)とによって構成される。RF部(121)は信号フィルタとプリアンプとを持つ。同図(b)においては、アンテナ(125)で受け付けた信号は、SAWコリレータ(126)で解読され、プリアンプ(127)である程度増幅された後、メモリシステム(120)に送られる。SAWコリレータ(126)の例は、例えば固体物理、vol.25, no.5(1990)の第48頁から第54頁に示されている。

【0037】図13は、本発明の個人情報端末に用いられるメモリシステムの一構成例であり、特にゲートの構成法を示している。同図(a)においては、ゲート(130)は不揮発メモリチップ(131)内にオンチップに設けられる。同図(b)においては、ゲートの機能をCPU(132)に持たせる。

【0038】図14は、図13(a)のより詳細な構成を示す図である。図1のゲート101をGTとして不揮発メモリチップ401内に設けている。メモリアレーマA、アドレスデコードAD1およびAD2、アドレスバッファABU、入力バッファIO、コマンド制御回路CNTLは通常のメモリチップと同様である。アドレス生成回路ACR、アドレスカウンタACNT、格納指示情報の記憶部、マルチプレクサMPLX1およびMPLX2は、図7と同様にして、通信データ格納のアドレスを生成する。ゲートGTは、データ着信時にCPUとIOとを電氣的に切り離す信号SW0を発生し、さらに項目番号がユーザ選択のそれと一致した場合はクロックCLK、書き込み信号WE、項目番号情報CT1-S1を発生してクロックCLKに同期したデータ格納を指示する。データ格納の終了を示すEND信号をアドレス生成回路ACRから受けるか、あるいはバージョンが格納済みのデータのそれに一致した場合、ゲートGTは、書き込み信号WEをロウレベルにして書き込みを終了する。さらに、アドレスカウンタACNTをリセットするリセット信号パルスRESを発生する。本発明の実施例によれば、受信データによりメモリチップが活性化され、自動

的にデータが書き込まれる。したがって、通常CPUの電源を完全にオフ状態にできるので、携帯機器に好適な低消費電力のシステムが得られる。

【0039】図15は、図14中のゲートGTの一構成例を示すものである。アンテナからRF部などを通してGTへ入ってきた受信データは、アンプAP0により増幅される。ただし、最初にはアンプAP0はオフ状態であり、着信検知回路CT2が受信データの着信を検知して、アンプオン信号CT2-S0によりアンプAP0をオンする。CT2-S0はクロック発生回路CT3にも送られ、GT内部の動作を受信データに同期して行うためのクロックCLK0を発生させる。また、CT2-S0は、図14中のSW0信号として用いることもできる。アンプAP0を通過した受信データは、項目番号判定回路CT1へ送られ、ユーザの必要とするデータであるかを判定する。ユーザが予め指定した項目番号に一致したデータであった場合には、CT1は書き込み開始信号バースCT1-S0、および項目番号情報CT1-S1を発生する。CT1-S0は受信データが受信データ書き込み制御回路CT0へ送られるようにバスを切り替える。また、CT1-S0はCT0へも送られ、書き込み信号WEの発生による書き込み動作の開始を指示する。CT1-S1は図14のアドレス生成回路ACRへ送られ、書き込みアドレスの一部を決める。

【0040】受信データ書き込み制御回路CT0へバスを切り替えられたデータは、バージョン検知回路CT0よりすでに不揮発メモリに格納されているデータより新しいバージョンのデータであるかを調べられる。新バージョンでなかった場合には受信データ書き込み制御回路CT0は書き込み信号WEをロウレベルにし書き込み動作を停止する。書き込み信号WEがハイレベルの間は、クロック発生回路CT3の生成するクロックがCLKとしてメモリ周辺回路に送られ、メモリアレーMAへのデータ書き込み動作が進められる。受信データの書き込みを終了し、例えば図14のアドレス生成回路ACRが終了信号ENDを発生したら、書き込み信号WEはロウレベルに戻り、メモリ周辺回路へのクロック供給は停止する。また、書き込み信号WEの変化を受けて着信検知回路CT2はCT2-S0を例えばロウレベルに戻し、アンプAP0を非活性状態に戻す。受信データのバスもCT1へのバスに戻される。本発明の実施例によれば、受信データの到着により自動的に書き込み動作が開始される。かつ待機時にはアンプは非活性状態になっている。したがって、携帯機器に適した低消費電力のシステムが得られる。

【0041】以下、図16から図19により、GTのより具体的な回路例を示す。図16は、図15中のCT2の一構成例を示すものである。図16において、ノードVsは通常ハイレベルにプリチャージされている。受信データがNチャネルトランジスタNM0のしきい電圧を

越える信号レベルに入ってくると、NチャネルトランジスタNM0がオンし、Vsがロウレベルに変化する。受信データは、例えばある周波数の連続信号であって、図12(a)に示されたシステムにおいてフィルタによって分別される。あるいは、受信データはスペクトラム拡散により送られた信号であって、図12(b)に示されたシステムにおいてSAWコリメータで予め指定された符号に一致した信号が連続したものである。

【0042】NチャネルトランジスタNM0への入力Dinがたとえ数百ミリボルトの小さな電圧振幅であっても、Dinを連続して与えることによりVsをロウレベルへ変化させることができる。Vsがロウレベルへ変化すると、CT2-S0がハイレベルとなり、アンプAP0を活性化する。また、CT2-S0は遅延回路DL2を経てナンド回路の一方の入力となる。DL20の遅延時間は、受信データ到着から書き込み信号WEをハイレベルにしてデータ書き込みを開始するかどうかの判定を終了するまでの時間よりやや長い程度に設定する。書き込み信号WEがハイレベルである間は、ナンド回路の出力Vpはハイレベルであり、その結果アンプAP0は活性化された状態に保たれる。書き込み動作を終了して、書き込み信号WEがロウレベルに戻ると、VsはロウレベルとなりVsはハイレベルにプリチャージされる。そして、CT2-S0はロウレベルに戻りアンプAP0を非活性とする。

【0043】なお、Vsはリーク電流により一定時間ごとにロウレベルとなるが、書き込み信号WEがロウレベルのままなのですぐにVsはハイレベルに再プリチャージされる。本発明の実施例によれば、受信データが小振幅でも一定時間以上続けばその着信を検知することができる。そして、着信時点で初めて消費電流の大きいアンプを活性化することができる。すなわち、高感度かつ低消費電力の通信システムを構築できる。また、着信通信信号の信号レベルが十分高くDinがNチャネルトランジスタNM0のしきい電圧を越えて十分オン状態となる場合にアンプAP0が活性化するので、信号レベルの低い状態でデータ格納を開始して、格納データに多くの誤りが生じる危険性を回避できる効果がある。

【0044】図17は、図15中のCT3の一構成例を示すものである。CT2-S0がハイレベルとなるとリングオシレータOSがオンし、GT内部の同期クロックCLK0およびそれを90度位相変換したCLK90が発生する。図15に示したように、CLK0は書き込み信号WEがハイレベルになると、データ格納を行うための同期クロックとなる。OSの周期は受信データの周期に一致させる。本発明の実施例によれば、データが着信したとき自動的にデータをメモリに格納するためのクロックを発生し、書き込みを終了したままも停止するクロック発生回路が得られる。必要時だけに動作するので、低消費電力のシステムを構築できる。

【0045】図18は、図15中のCT1の一構成例を示す図である。受信データは、CLK0および90度位相変換したCLK90のタイミングで、それぞれシフトレジスタCT1-R0およびCT1-R90を進む。2つの位相のシフトレジスタを持っているのは、クロック発生方法によっては受信データの位相とずれてクロックが入り、その結果データのフィードが適切に行われない場合を防止するためである。2つのシフトレジスタ内のデータの少なくとも一方が、項目番号のいずれかに一致したとき、制御回路はCT1-S0およびCT1-S1の2つの信号を発生する。

【0046】図18の例では、aからxまでユーザの指定した項目番号に対して信号を発生するように構成されている。図18中のレジスタに項目番号IDを設定して、所望の項目のみに対してCT1-S0を発生するようにする。本発明の実施例によれば、シフトレジスタ中を受信データを通してることにより項目番号の認識を行うので、CT1-S0が発生してから次の受信データが、例えば図7のバージョンIDに関するデータの先頭であることが認識できる。したがって、バージョンID以降のデータを、所望のアドレスに格納することができる。すなわち、格納データの読み出しが容易になり、検索や演算処理も可能となる効果がある。

【0047】図19は、図15中のCT0の一構成例を示す図である。リセット信号パルス発生回路CT0-Iは、書き込み信号WEの立ち上がりにより書き込み動作の終了を認識し、リセット信号パルスRESを発生する。バージョン検知回路CT0-0は、受信データがCT1-S1に指定された項目の新バージョンデータかどうかを判定し、新データでない場合には、バージョン一致信号CT0-0-S0を発生する。さて、CT0の動作は、以下のように行われる。まず、書き込み信号WEは、通常ロウレベルにあるが、項目番号がユーザ指定のそれに一致した場合、CT1-S0によりハイレベルとなる。この結果、例えば図15において、クロックCLK0がメモリ周辺回路にCLKとして送られるようになる。そして、受信データのメモリアレーへの書き込みが開始される。

【0048】データが新バージョンでありCT0-0-S0が発生しなかった場合には、そのままメモリアレーへの書き込み動作が実行される。終了信号ENDが発生すると、その立ち上がりエッジを検出してパルスが発生し、書き込み信号WEはロウレベルに戻る。そして、書き込み動作を終了する。一方、CT0によりデータがすでに格納されているバージョンに一致していることが認識された場合には、CT0-0-S0が発生する。そして、バージョンの情報がメモリアレーに書き込まれた段階で書き込み信号WEがロウレベルになり、書き込みを終了する。書き込み信号WEがロウレベルになると、CT0-0はRESを発生し、アドレスカウンタはリセット

される。本発明の実施例によれば、同じデータを上書きすることがなくなり、システムの消費電力を節約できる。

【0049】なお、図5(b)で述べたような機能、すなわちユーザの項目指定の後、一度該項目のデータが通信データ格納領域に書き込まれたら、該項目のバージョンの異なるデータを次に受信しても上書きを行わないようにする機能を図19の回路CT0において実現するためには、例えば、信号パルスCT1-S0が上記二度目の受信時には発生しないように構成すればよい。具体的には、上記上書き禁止の項目に関しては、図15の項目番号判定回路CT1において一度受信が判定されたら、上記項目を項目リストから削除してしまうなどの方法がある。もちろん、図5(b)で述べたような機能を図19の回路CT0以外の部分で実現してもよい。

【0050】例えば、通信データを格納する不揮発メモリ自体に、初期化の後の書き込みが1回に制限された領域と上書き可能な領域とを実現してもよい。具体的には、図7の格納指示領域の記憶部702において、項目番号ごとに上記2領域のいずれであるかの情報と書換許可フラグを付加する。該書換許可フラグは、例えば、該項目が上書き禁止領域であった場合には、一回目の書き込みの後に書換禁止状態へ変化する。該書換禁止フラグが書換禁止状態にあるときには、図7のアドレス生成回路701はゲートGTからの書込クロック信号CLKを受け付けず、終了信号ENDをゲートGTへ返信するように構成する。

【0051】図20は、強誘電体キャパシタのプレートと電源電圧Vccの半分に固定して動作させる、Vcc/2プレート強誘電体メモリを図2の強誘電体メモリとして適用した例を示すものである。このような強誘電体メモリの例は、例えば情報通信学会英文誌C1996年2月号234頁〜242頁(IEICE Transactions on Electronics, vol. E79-C, no. 2, pp. 234-242, 1996)に記載されている。メモリアレーの単位マトは1024×256セル、すなわち256Kbitのセルで構成されている。2つのメモリアレーを挟んで、センスアンプ部が設けられる。図20では、この512Kbitの領域が32個配列された、16Mbit強誘電体メモリアレーを示している。図5の構成に対応して、サブブロックは1024×16セル、すなわち16Kbitのセルで構成されている。これは、1画面分約1000文字の漢字情報に相当する。メモリアレーはサブブロック16個分である。この16個分のサブブロックのセルがプレート電極を共有している。

【0052】図21は、図20のメモリアレーへのゲート101による書き込み動作フローを示したものである。着信通知信号検知後(ステップ2101)、項目番号IDをデコードして(ステップ2102)、必要データであった場合には(ステップ2103:Y)、書き込みす

ブロック部のプレートで0からVcc/2へ昇圧するように指示する(ステップ2104)。昇圧が終了したら、書き込み動作を開始する(ステップ2105)。なお、上記文献に示されているように、プレートの昇圧を数マイクロ秒で終了することは可能なので、データレートが100kbp/s以下であれば、項目番号1Dの次のデータからメモリアレーへ格納することができる。以下の動作(ステップ2106~2110)は図4と同様である。本発明の実施例によれば、書き込みを行う領域のプレートのみを昇圧するので、消費電力を低減できる効果がある。

【0053】図22は、本発明に係る携帯用の個人情報端末に着信通知手段を設けた一実施例である。ユーザ選択の項目のうち、特にデータ入手を急ぐと指定された項目のデータが、本発明のメモリシステムに格納された場合に点灯する、着信通知の表示部を設けた。本発明の実施例によれば、CPUをオン状態にして検索を試みなくても、容易にデータの着信を知ることが出来、使い勝手のよいシステムが得られる。

【0054】図23は、本発明の個人情報端末に用いられるメモリシステムにおけるデータ読み出し時のチューニング方法を示す一実施例である。同図(a)は予定したメモリアドレスへデータが正しく書き込まれている場合であり、この場合はチューニング不要である。しかし、同図(b)に示すように、予定したメモリアドレスからずれてデータが誤って書き込まれる場合も考えられる。ユーザはデータが認識できなかった場合、次のようなチューニングをCPUに指示する。すなわち、1ビット分アドレスをずらしてデータを読みだしてみる。このようなチューニング作業をデータが認識できるようにするまで行う。同図(b)の場合、3ビットアドレスをずらした時点でチューニングを完了する。本発明の実施例によれば、例えば図8のフォーマットのデータにおいて、アドレスがずれて書き込まれてしまった場合にも読み出しが可能となる。

【0055】図24は、本発明の個人情報端末に用いられるメモリシステムにおけるデータの転送方法を示す一実施例である。本発明の個人情報端末では送信データレートが遅くてもよい。なぜなら、データの取り込みはユーザが意識しないうちに自動的に行われるからである。(a)は多数決原理を用いたデータ転送である。同じデータを例えば3回送る。受信時に3つのうち一つが誤って認識されても、残り二つのデータによる多数決から、正しいデータが認識できる。一旦正しいデータが不揮発メモリに格納されれば、(b)に示すように、これを高速に読み出すことは可能である。

【0056】図24(a)の場合には、図1の制御回路101に多数決によりデータを決める回路が附加される。(c)はある狭い周波数領域のデータを、それより広く広い周波数領域を使ったデータに変換して送る、ス

ペクトラム拡散によるデータ送信である。この場合には、図1の制御回路101に、スペクトラム拡散データを解読するためのフィルタ、例えばSAWコリメータが附加される。本発明の実施例によれば、通信時のデータ誤りを低減し、高信頼の携帯用の個人情報端末を得ることができる。

【0057】上述した本発明の個人情報端末に係る技術は、受信機能だけで送信機能を持たない全ての携帯機器にも適用可能であり、低消費電力のシステムが得られる。また、本発明の個人情報端末の不揮発メモリへのデータ書き込みは、低速であってもユーザにとって問題は生じない。したがって、通信データに冗長性を持たせることにより高信頼のシステムが得られる。あるいは、データベースが混雑してユーザが不快を感じることもない。データの読み出しは、不揮発メモリへのアクセススピードで行えるので、ユーザにとって実質的に高速のシステムが得られる。本発明の個人情報端末によれば、ユーザは例えばレストランの混雑を避けて好みの料理を予算に応じた価格でとれるなど、活動が効率的に行えるようになる。

【0058】さらに、強誘電体メモリを含んだ本発明の別の個人情報端末においては、データ着信後直ちに書き込み動作を開始できるので、通信データに無駄が生じたり、システムの制御が複雑になったりするのを回避できる。本発明の個人情報端末におけるデータ構成およびそれに応じた通信データの書き込み動作方法によれば、十分な信号レベルの着信通知信号を動作開始のトリガとするために、信号レベルが十分でない段階で書き込み動作が開始されることがなく、高信頼のシステムが得られる。また、項目番号およびバージョン両方に対して、一致信号発生をトリガとして動作の制御ができるので、システム構成が簡単になる。さらに、データが項目に分かれているので、ユーザは送信手段を持たなくとも項目選択という形でほぼ同等の機能を得られるとともに、極めて大容量のメモリを用意しなくても所望のデータを得られる。さらに、バージョンを設けたことにより、格納に必要なデータ量の増大を防ぐことができるとともに、書き込み回数の制限を有する不揮発メモリの寿命向上に効果がある。

【0059】データ格納領域をサブブロック単位で構成する本発明の個人情報端末に用いられるメモリシステムによれば、項目ごとに格納領域の大きさを設定でき、メモリを有効に活用できるとともに、読み出し、書き込みの制御が簡単になる。本発明の個人情報端末の記憶領域の構成方法によれば、メモリチップ数を削減できる。あるいは、使い勝手のよいシステムが得られる。本発明の個人情報端末のアドレスカウンタの構成方法によれば、高信頼のシステムが得られる。

【0060】本発明の個人情報端末に定められた通信データのデータ長の規定によれば、CPUによる検索、演

算処理が容易となり、使い勝手のよいシステムが得られる。本発明の個人情報端末における階層構造を持った項目の構成方法によれば、膨大な情報を整理して扱うことが容易となり、ユーザは送信手段を持たなくても項目選択という形により同等の機能を得られる。本発明の個人情報端末におけるCPUを介さない書き込み手段によれば、低消費電力なシステムが得られる。強誘電体メモリを含んだ本発明の個人情報端末におけるプレート電極構成法によれば、低消費電力のシステムが得られる。

【0061】

【発明の効果】以上述べたように、本発明によれば、特徴的な構成のメモリシステムを用いることにより、低消費電力、高速、高信頼性で使い勝手のよい携帯用の個人情報端末が得られる。

【図面の簡単な説明】

【図1】本発明の個人情報端末に用いられるメモリシステムの基本構成、および、応用例を示す図である。

【図2】図1(a)の不揮発メモリとして強誘電体メモリを適用した本発明の一実施例である。

【図3】フラッシュと強誘電体メモリの書き込み動作の違いを説明するための図である。

【図4】図1(a)または図2のゲート101の動作フローを示す図である。

【図5】不揮発メモリ内の通信データ格納領域の構成を示す図である。

【図6】図6は、本発明の個人情報端末に用いられるメモリシステムの構成、特にデータ格納を指示する情報の記憶部の構成を示す図である。

【図7】不揮発メモリに対するアドレスを生成するための回路構成を示す図である。

【図8】本発明の個人情報端末に用いられるメモリシステムにおいて送受信されるデータのフォーマット例、および、通信データの項目の構成を示す図である。

【図9】図8(b)の項目構成に対する、不揮発メモリへのデータ格納指示の設定方法を示す、本発明の一実施例を示す図である。

【図10】格納データの検索方法を示す図である。

【図11】本発明の個人情報端末に用いられるメモリシステムの構成例を示す図である。

【図12】本発明に係る携帯用の個人情報端末の一構成例を示す図である。

【図13】本発明の個人情報端末に用いられるメモリシステムの一構成例、特にゲートの構成法を示す図であ

る。

【図14】図13(a)のより詳細な構成を示す図である。

【図15】図14中のゲートGTの一構成例を示す図である。

【図16】図15中のCT2の構成例を示す図である。

【図17】図15中のCT3の一構成例を示すものである。

【図18】図15中のCT1の一構成例を示す図である。

【図19】図15中のCT0の一構成例を示すものである。

【図20】強誘電体キャパシタのプレートを電源電圧Vccの半分に固定して動作させる、Vcc/2プレート強誘電体メモリを図2の強誘電体メモリとして適用した例を示す図である。

【図21】図20のメモリアレーへのゲート101による書き込み動作フローを示す図である。

【図22】図22は、本発明に係る携帯用の個人情報端末に着信通知手段を設けた一実施例を示す図である。

【図23】本発明の個人情報端末に用いられるメモリシステムにおけるデータ読み出し時のチューニング方法を示す図である。

【図24】本発明の個人情報端末に用いられるメモリシステムにおけるデータの転送方法を示す図である。

【符号の説明】

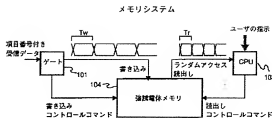
101:ゲート(受信データ制御回路)、102:不揮発メモリ、103:CPU、104:強誘電体メモリ、Tw:単位ビットあたり書き込み時間、Tr:単位ビットあたり読み出し時間、201:パーソナル携帯端末、202:地方基地局、sub-BK(i):サブブロック、BK(i):ブロック(項目番号i格納領域)、WE:ライトイネーブル信号、CE0:チップイネーブル信号、401:メモリチップ、GT:ゲート、CLK0:ゲート内部クロック、CLK:メモリチップ内部クロック、WE:受信データ書き込み信号、CT1-S1:項目番号情報、SW0:スイッチ制御信号、RES:リセット信号、END:書き込み終了信号、CT1-S0:書き込み開始信号パルス、CT2-S0:アンプオン信号、Vref:参照電位、Din:着信検知回路への受信データ入力、Dout:アンプ出力、NM0:Nチャネル電界効果トランジスタ、Vs、Vp:ノード

【图 1-1】

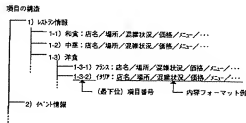
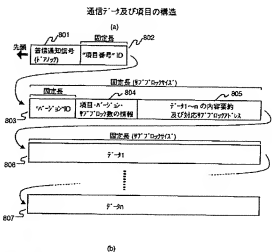
図1(a)を組み込んだシステム構成例



【図 2】



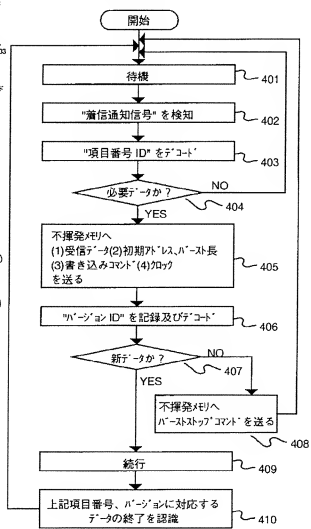
【図 8】



【図 17】

【図 4】

図 1 (a) または図 2 のゲートの動作フロー



【図 19】

第 15 図中の CT3 の構成例

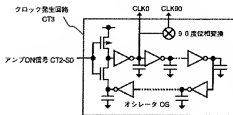
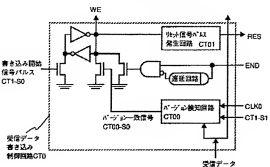


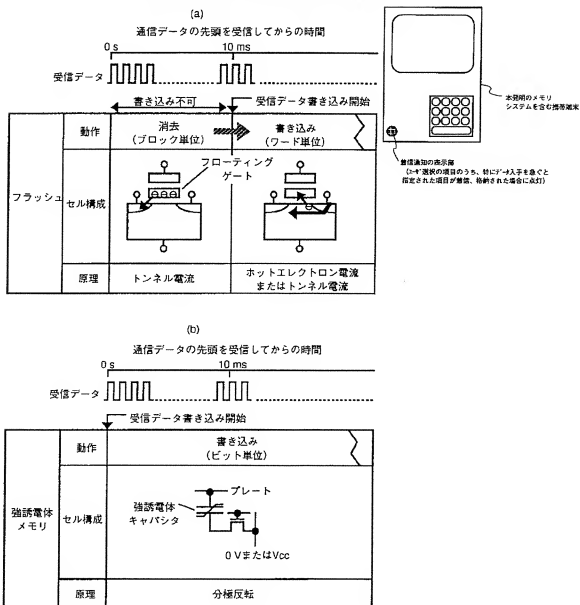
図 15 中の CT0 の構成例



【図 3】

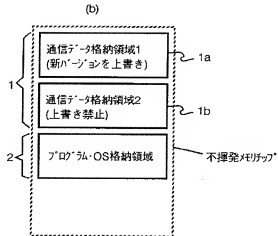
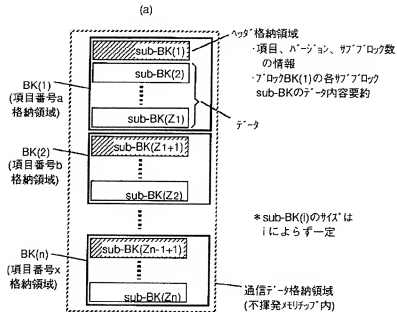
【図 2 2】

フラッシュと強誘電体メモリの書き込み動作の違い



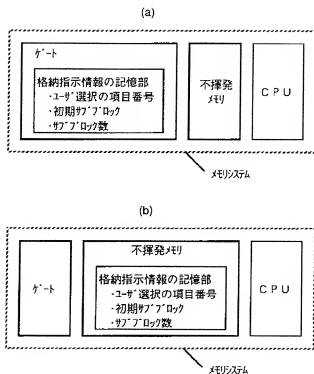
【図5】

メモリチップ内の格納領域の構成



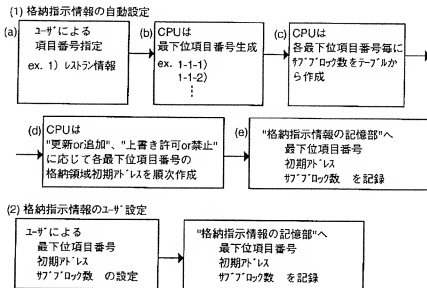
【図6】

メモリスステムの構成



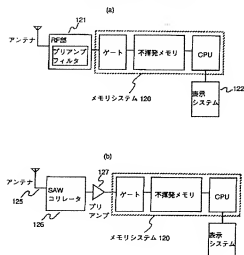
【図9】

通信データ格納指示の設定方法



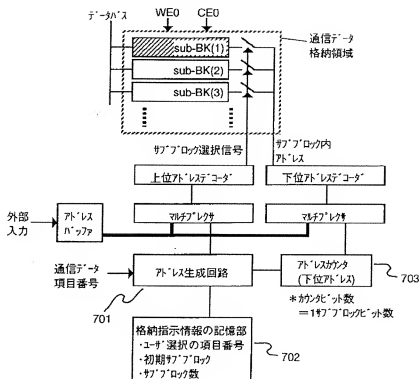
【図12】

図1(a)を組み込んだシステム構成例



【图 7】

アドレス選択回路構成



【图 13】

【图 1-4】

メモリスシステムの構成

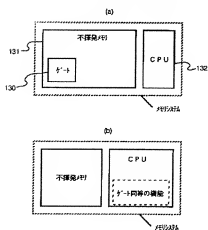
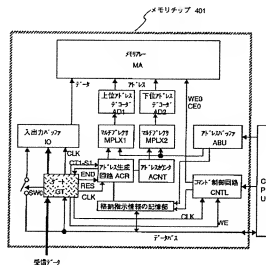


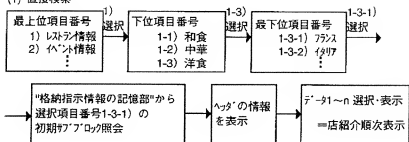
図 13 (a) のより詳細な構成例



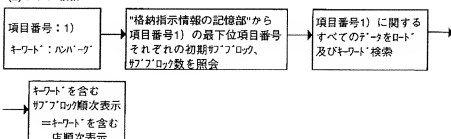
【図10】

格納された通信データの検索方法

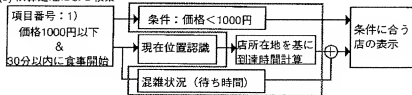
(1) 直接検索



(2) キーワード検索



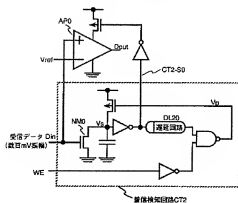
(3) 演算処理による検索



上記(2)と同様な検索処理

【図16】

図15中のCT2の構成例



ゲートの構成例



図15中のCT1の構成例



Vcc/2プレート誘電体メモリアレー及びサブブロックの構成

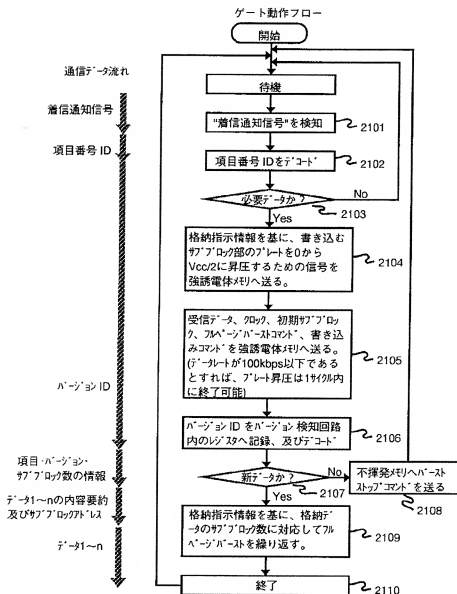


メモリシステムにおけるデータ読出し時のチューニング

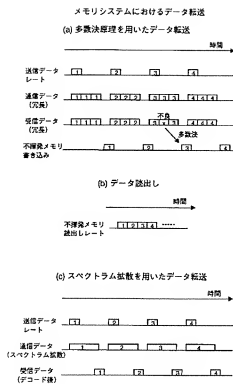
[illegible]

【図21】

Vcc/2プレート強誘電体メモリへの書き込み動作フロー



【図 2 4】



フロントページの続き

(72)発明者 島崎 靖久
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 谷川 博之
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 小林 伸好
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内